

(3) Japanese Patent Application Laid-Open No. 10-32251 (1998) "FORMING METHOD OF WIRING OF MULTILAYER WIRING SEMICONDUCTOR DEVICE"

The following is English translation of an extract from the above-identified document relevant to the present application.

This invention provides a wiring forming method for a multilayer wiring semiconductor device that can by reflowing flatten the metal Al which is embedded in a connection hole by CVD method.

Multiple wiring layers 6A – 6F are laminated on a substrate 2 through interlayer insulating film 10A – 10E. First of all, a first wiring layer 6A is formed by laminating and patterning a metal layer including Al and an antireflection coating 8 such as TiN on a insulating film 4 of the substrate 2. An interlayer insulating film 10A is formed on the whole surface including this wiring layer, and connection hole 12 is formed at the desired position of this interlayer insulating film. Al is selectively deposited and embedded by CVD method in the connection hole, and an active metal film is formed by sputtering method on the whole surface including the embedding layer plug 22 of this Al. A metal layer including Al is formed on this metal film, and a wiring layer is formed by patterning after reflowing and flattening the surface. Then connection hole upper layer wiring film including Al in which connection hole is embedded is flattened so as not to have a detrimental effect on a lithography process.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32251

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/768  
21/3205H 0 1 L 21/90  
21/88A  
N

審査請求 未請求 請求項の数 9 F D (全 9 頁)

(21) 出願番号 特願平9-62391

(22) 出願日 平成9年(1997) 2月28日

(31) 優先権主張番号 特願平8-75279

(32) 優先日 平8(1996) 3月5日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000219967

東京エレクトロン株式会社

東京都港区赤坂5丁目3番6号

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 河野 有美子

山梨県基崎市藤井町北下条2381番地の1

東京エレクトロン山梨株式会社内

(74) 代理人 弁理士 浅井 章弘

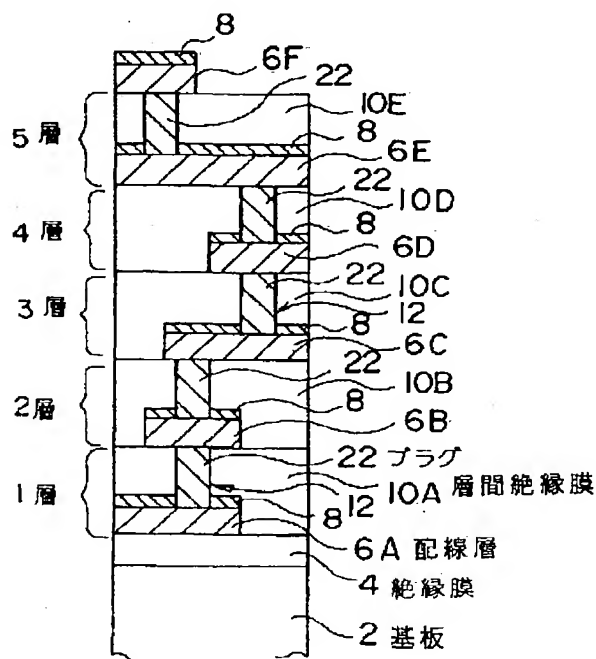
最終頁に続く

(54) 【発明の名称】 多層配線半導体装置の配線形成方法

(57) 【要約】 (修正有)

【課題】 接続孔にCVD法で埋込まれた金属A1をリフローにより平坦化できる多層配線半導体装置における配線形成方法を提供する。

【解決手段】 基板2上に層間絶縁膜10A~10Eを介して複数の配線層6A~6Fを積層する。まず基板2の絶縁膜4上にA1を含む金属層とTiN等の反射防止膜8とを積層しパターンニングして第1配線層6Aを形成する。この配線層を含む全面に層間絶縁膜10Aを形成し、この層間絶縁膜の所望位置に接続孔12を形成する。該接続孔内にCVD法によりA1を選択的に堆積させ埋込み、このA1の埋込み層プラグ22を含む全面にスパッタ法で活性金属膜を形成する。この金属膜上にA1を含む金属層を形成し、リフローさせ表面を平坦化後パターンニングして配線層を形成する。こうして接続孔を埋込んだA1を含む接続孔上層配線膜を平坦化し、リソグラフィ工程に悪影響を与えないようにする。



## 【特許請求の範囲】

【請求項1】 基板上に層間絶縁膜を介して積層した複数の配線層を持つ多層配線半導体装置の配線形成方法において、前記基板の絶縁膜上に金属アルミニウムを含む金属層を形成してパターンニングすることにより配線層を形成する第1の配線層形成工程と、この第1の配線層形成工程にて形成された配線層を含む全面に層間絶縁膜を形成する層間絶縁膜形成工程と、この層間絶縁膜の所望の位置に接続孔を形成する開孔工程と、この接続孔内に体積分率が不足気味に金属アルミニウムをCVD法により選択的に堆積させて埋め込む埋め込み工程と、この金属アルミニウムの埋め込み層を含む全面に活性金属膜を形成する活性金属膜形成工程と、この活性金属膜上に金属アルミニウムを含む金属層を形成する金属層形成工程と、この金属層をリフローさせて表面を平坦化させるリフロー工程と、この金属層をパターンニングすることにより配線層を形成する第2の配線層形成工程とを備えるように構成したことを特徴とする多層配線半導体装置の配線形成方法。

【請求項2】 前記埋め込み工程の後に、埋め込み層の表面上に付着している自然酸化膜を除去するエッチングを行なう自然酸化膜エッチング工程を有することを特徴とする請求項1記載の多層配線半導体装置の配線形成方法。

【請求項3】 前記埋め込み工程は、前記埋め込み金属アルミニウムの最上端が前記接続孔の上端開口部の水平レベル以下となるように行なうことを特徴とする請求項1または2記載の多層配線半導体装置の配線形成方法。

【請求項4】 前記活性金属膜は、チタン、ハフニウム及びジルコニウムの内の、いずれか一方よりなることを特徴とする請求項1乃至3記載の多層配線半導体装置の配線形成方法。

【請求項5】 前記金属膜形成工程と前記リフロー工程は、処理温度を変えることにより同一チャンバ内で連続的に行なわれることを特徴とする請求項1乃至4記載の多層配線半導体装置の配線形成方法。

【請求項6】 前記活性金属膜の厚さは、10Å～400Åの範囲内に設定されることを特徴とする請求項1乃至5記載の多層配線半導体装置の配線形成方法。

【請求項7】 前記活性金属膜形成工程の成膜温度は100℃以下であり、前記金属層形成工程の処理温度は250℃以下であることを特徴とする請求項1乃至6記載の多層配線半導体装置の配線形成方法。

【請求項8】 前記リフロー工程の処理温度は300℃～500℃の範囲内に設定されることを特徴とする請求項1乃至7記載の多層配線半導体装置の配線形成方法。

【請求項9】 前記絶縁膜形成工程から前記第2の配線層形成工程までの各工程を複数回繰り返して行なうことを特徴とする請求項1乃至8記載の多層配線半導体装置の配線形成方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、多層配線半導体装置の配線形成方法に関する。

【0002】

【従来の技術】 一般に、半導体デバイスにあつては、最近の高密度化、高集積化の要請に応じて、回路構成を多層配線構造にする傾向にあり、この場合、下層デバイスと上層アルミ配線との接続部であるコンタクトホールや下層アルミ配線と上層アルミ配線との接続部であるヴィアホールなどの埋め込み技術が、両者の電気的な接続をはかるために重要になっている。

【0003】 この場合、スパッタによる金属アルミニウムやCVD成膜による金属タングステンをホールの埋め込み材料として用いることが、一般的に行なわれている。例えば配線間の接続孔の埋め込み方法としては以下に示す3つの方法が行なわれている。

【0004】 第1の方法は、基板を450℃以上の高温に加熱した状態で、スパッタによりアルミニウム膜を成膜してホールを埋め込んだり、或いは処理容器内を1気圧以上の圧力状態にしてスパッタによりアルミニウム膜を成膜してホールを埋め込むようにしたスパッタ法である。第2の方法は、導電性材料の表面にタングステン膜が選択的に堆積する性質を用いて、ホール底部の導電性材料表面上にタングステン膜を堆積させてホールを埋め込む選択タングステン成膜法である。第3の方法は、処理ガスとして例えばWF<sub>6</sub>。ガスを用いて、これに強力な還元ガス、例えばSiH<sub>4</sub>。(モノシラン)ガスを作用させて気相反応を生ぜしめ、基板表面の全面にタングステン膜を形成することによりホールを埋め込み、その後、エッチバックによりホール以外の不要なタングステン膜を除去するようにした全面成膜エッチバック法である。

【0005】 ここで上記3つの方法の内、主に用いられている第3の全面成膜エッチバック法について図5を参照して詳しく説明する。ここではコンタクトホールではなく、配線間の電気的接続を行なうためのヴィアホールを埋め込む場合について説明する。図5はヴィアホールの埋め込み工程の一例を示しており、まず、図5(A)に示すように半導体ウエハ等のような基板2上には例えばSiO<sub>2</sub>よりなる絶縁膜4が形成されており、この上にアルミニウム合金膜が形成され、この上にレジスト露光を良好に行なうための例えばTiN膜よりなる反射防止膜8が形成されてパターンニングされ、これらをパターンニングすることにより第1の配線層6が形成される。そして、基板の上部の全面を覆うように例えばSiO<sub>2</sub>よりなる層間絶縁膜10を形成し、この絶縁膜10の所定の位置に下層の第1の配線層6に達するヴィアホール12が形成される。尚、図示されていないが、第1層目の各素子は、層間絶縁膜10により全体が覆われているのは勿論である。

【0006】次に、タングステンとアルミニウムが直接接触すると、両者間に発生する吸い上げ効果によってコンタクト抵抗が大きくなったり、両者の密着性が劣化することから、これを防ぐためにホール内面も含む全面に例えばTi膜やTiN膜よりなるバリアメタル14を形成し(図5(B))、この上に全面に亘って例えばCVDによりタングステン膜16を成膜してビアホール12を埋め込む(図5(C))。次に、エッチバックを行なうことにより不要な表面部分のタングステン膜16とバリアメタル14を除去し(図5(D))、この上よりアルミニウム合金よりなるパターンニングされた第2の配線層18を形成し、ビアホール12に埋め込まれた金属タングステンを介して第1と第2の配線層6、18を電気的に接続する。

【0007】

【発明が解決しようとする課題】ところで、上記した第1の方法であるスパッタ法にあっては、スパッタ処理が450℃以上の高温で行なわれるために、次世代の層間絶縁膜として期待されている耐熱性の低い低誘電率有機材料と組み合わせることができない。また、密着性を高めて埋め込み性を付与する下地層としてTiN膜やTi膜を介在させる必要があるため、この成膜工程が増加するのみならず、A1-A1直接接続構造と比較して接触抵抗が高くなってしまいう問題がある。また、第2の方法の選択タングステン成膜法にあっては、タングステンはアルミニウムに比較して抵抗率が大きいため動作速度が遅くなって信号遅延が生じ、特に、動作の高速化が望まれているマイクロプロセッサ等に対しては対応することができない。また、アルミニウムを含む上下の配線層をこれと異種金属であるタングステンにより接続するので、エレクトロマイグレーションやコロージョン等が生じて配線の信頼性が低下する。更には、タングステン膜の成膜時に、表面に付着している不純物に起因して選択破れが生じた場合には、線間リークを誘発するといった問題がある。

【0008】更に、第3の方法の全面成膜エッチバック法にあっては、上記第2の方法と同様に金属タングステンをを用いることから抵抗率が高くなったり、界面における接触抵抗が発生する。また、図5にも示したようにエレクトロマイグレーションを抑制したり、密着性を保持するためのバリアメタル14を必要とし、工程数が増加するのみならず、A1-A1直接接続構造と比較して更に抵抗率を増大させてしまう。更には、バリアメタル14のような下地層を用いることから接続孔の微細化によるアスペクト比の増加にともない、カバレッジが低下し、最悪の場合には埋め込みが不可能になる場合すらあった。

【0009】このようにビアホールの埋め込みに、金属タングステンやスパッタによる金属アルミニウムを用いると、上述のような種々の問題が生ずる。一方、CVD

Dによる金属アルミニウムの埋め込みは、埋め込み材料としても安価で抵抗値が低い点で好ましく、ホールの埋め込みという技術的な制約からボイドの発生を無くすために、方向性の高いスパッタよりも被覆性に優れる点で効果があるが、上述の問題点を改善するためにCVDによる金属アルミニウムを用いた埋め込みを行なおうとすると、成膜アルミニウムが略単結晶となって結晶粒が大きくなり、埋め込みアルミニウムが接続孔に占有する体積分率として100%を確保すると、埋め込まれた接続孔の上部に金属アルミニウムの凸部が生ずることは避けられない。このような凸部は、その高さがこの上層の配線加工時のフォトリソグラフ工程において、焦点深度の許容範囲を越えると精度の高い適正な露光ができなくなるという問題を引き起こしてしまう。本発明は、以上のような問題点に着目し、これを有効に解決すべく創案されたものである。本発明の目的は、接続孔に埋め込まれたCVDによる金属アルミニウムを、上層配線膜をリフローすることにより平坦化できる多層配線半導体装置の配線形成方法を提供することにある。

20 【0010】

【課題を解決するための手段】本発明は、上記問題点を解決するために、基板上に層間絶縁膜を介して積層した複数の配線層を持つ多層配線半導体装置の配線形成方法において、前記基板の絶縁膜上に金属アルミニウムを含む金属層を形成してパターンニングすることにより配線層を形成する第1の配線層形成工程と、この第1の配線層形成工程にて形成された配線層を含む全面に層間絶縁膜を形成する層間絶縁膜形成工程と、この層間絶縁膜の所望の位置に接続孔を形成する開孔工程と、この接続孔内に体積分率が不足気味に金属アルミニウムをCVD法により選択的に堆積させて埋め込む埋め込み工程と、この金属アルミニウムの埋め込み層を含む全面に活性金属膜を形成する活性金属膜形成工程と、この活性金属膜上に金属アルミニウムを含む金属層を形成する金属層形成工程と、この金属層をリフローさせて表面を平坦化させるリフロー工程と、この金属層をパターンニングすることにより配線層を形成する第2の配線層形成工程とを備えるようにしたものである。

30 【0011】これにより、埋め込み工程で接続孔にCVD法により金属アルミニウムを選択的に埋め込み、この時、体積分率が不足気味になるようにする。次の、活性金属膜形成工程にて表面全体に、例えばチタンよりなる活性金属膜を形成し、この上に例えばスパッタにより例えばアルミニウム合金よりなる金属層を形成する。更に、この金属層を加熱してリフロー処理することにより上記接続孔内の残留箇所アルミニウム合金を流し込んでこれを平坦化する。その後、第2の配線層形成工程にてこのアルミニウム合金の金属層をパターンニングすることにより配線層を形成する。これにより、凹凸のない、平坦な埋め込みを行なうことが可能となる。この場合、

配線層上に反射防止膜を形成しておくことにより、マスクパターンの露光処理を精度良く行なうことが可能となる。

【0012】上配埋め込み工程の後であって、金属層形成工程の前に、この表面に付着している自然酸化膜を除去するエッチングを行なうことにより、接続部の抵抗の増大を抑制することができる。また、上配金属膜形成工程とリフロー工程は、単に処理温度を変えることで同一チャンバ内で行なうようにすることにより、連続処理が可能となる。また、活性金属膜の厚さは、10Å～400Åの範囲内に設定することにより、接続部の抵抗を大きくすることなく、この濡れ性を良くしてリフローの促進を図ることができる。更には、活性金属膜の成膜処理温度を100℃以下で行い、また、アルミニウム合金の金属層の成膜処理温度を250℃以下で行ない、リフローの処理温度を300℃～500℃の範囲内、好ましくは350℃～420℃の比較的低温度で行なう。

【0013】

【発明の実施の形態】以下に、本発明に係る多層配線半導体装置の配線形成方法の一実施例を添付図面に基づいて詳述する。図1は本発明方法により形成された多層配線半導体装置の一例を示す拡大断面図、図2は本発明方法を説明するための工程図、図3は本発明方法の主要工程を行なうマルチチャンバスパッタ装置を示す概略構成図、図4は金属層形成工程とリフロー工程を行なうチャンバを示す概略構成図である。尚、図5に示す従来装置と同一部分については同一符号を付して説明する。

【0014】まず、図1に基づいて多層配線半導体装置の構造について説明する。この半導体装置20は、1層から5層までの5段階の階層構造になされており、最下層である1層目は、例えばシリコンよりなる半導体ウエハのような基板2上に、例えばSiO<sub>2</sub>等よりなる絶縁膜4を介して形成されており、この上に順次各層が積層される。各層には、図示しない多数の半導体素子が組み込まれており、これらの半導体素子を電気的に接続するために各層に金属アルミニウムを含む合金等よりなるパターン化された配線層6A～6Eが形成されている。そして、最上部には、パターン化された上端配線層6Fが形成されている。また、各層間の半導体素子を電気的に絶縁するために、各層間には例えばSiO<sub>2</sub>よりなる層間絶縁膜10A～10Eが介在されている。

【0015】そして、各層の配線層6A～6E上及び上端配線層6F上には、露光時の反射光を抑制するために例えばTi（チタン）膜やTiN（チタンナイトライド）膜よりなる反射防止膜8が形成されており、精度の良好なフォトリソグラフィを行ない得るようになっている。そして、各上下層間の配線層6A～6Fを電気的に接続するために、各層間絶縁膜10に貫通して形成した接続孔、すなわちビアホール12内にCVD法により金属アルミニウムを選択的に堆積させてプラグ22を形

成している。このプラグ22の形成時に、本発明の特徴とする方法が用いられる。

【0016】ここで図3に基づいて本発明の特徴とする工程を行なうマルチチャンバスパッタ装置24について説明する。このマルチチャンバスパッタ装置24は、2つのカセットチャンバ26と、これに接続されるローダチャンバ28と、これに並行に接続されるデガスチャンバ30及びクーリングチャンバ32と、トランスファーチャンバ34と、第1～第3のスパッタチャンバ36、38、40とにより主に構成される。各チャンバ間は開閉可能になされたゲートバルブGにより気密に仕切られ、上配カセットチャンバ26内には、複数枚、例えば25枚の半導体ウエハWを収容し得るカセット42が収容され、また、ローダチャンバ28にはウエハの位置決めを行なうオリエンタ44が設けられる。更に、トランスファーチャンバ34内には、各スパッタチャンバ36、38、40間及びこれらとデガスチャンバ30及びクーリングチャンバ32間でウエハの搬送を行なうための屈伸及び回転可能になされた搬送アーム46が設けられる。

【0017】本発明方法においては、埋め込み層表面の自然酸化膜をArガスによるスパッタエッチングにより除去する自然酸化膜エッチング工程は、第1のスパッタチャンバ36で、活性金属膜形成工程は第2のスパッタチャンバ38で、金属層形成工程とリフロー工程は第3のスパッタチャンバ40でそれぞれ行なう。尚、これらのチャンバの配置は単に一例を示したに過ぎず、これに限定されない。

【0018】ここで、金属形成工程とリフロー工程を連続的に行なう第3のスパッタチャンバ40の概略構成を図4に基づいて説明すると、このチャンバ40内には加熱ヒータ48を内蔵したウエハステージ50とこれに対向させてスパッタターゲット52が配置され、このウエハステージ50上に設けたウエハクランプ74によりウエハWを保持する。チャンバ側壁には、スパッタガスを導入するガスノズル54が設けられ、底部には真空排気系に接続される排気口54が設けられる。更に、ウエハステージ50には、この上面と裏面との間に必要に応じて例えばArガスなどの不活性ガスよりなる熱伝導ガスを供給する熱伝導ガス孔56が設けられており、アルミニウム合金のスパッタ成膜を低温で行なう金属層形成工程の時には熱伝導ガスの供給を停止してウエハ温度をあまり上昇させないようにし、リフロー工程の時にはこの熱伝導ガスを供給してこの部分の熱伝導性を良好にしてリフロー温度までウエハを加熱するようになっている。また、スパッタターゲット52には、直流電源76が接続されており、DCバイアスを付加できるようになっている。スパッタターゲット52及びウエハステージ50とチャンバ40とは絶縁材72により電気的に絶縁されている。

【0019】次に、図2に基づいて上記したような構成の半導体装置の配線形成方法について具体的に説明する。まず、例えば8インチサイズのシリコン基板2上に1層目の図示しない多数の半導体素子を形成した後に、5000Å程度の酸化膜よりなる絶縁膜4を形成し、更に例えばスパッタにより金属アルミニウムを含む金属層と、TiNなどよりなる反射防止膜との積層膜を形成し、これをフォトリソ法とドライエッチング法を用いてパターニングすることにより1層目の配線層6Aを形成する(図2(A))。この配線層6Aは略100%のアルミニウムでもよいし、アルミニウム以外に少量の他の元素、例えばCu、Si等を含んでいてもよい。この場合、配線層6Aの厚さは、例えば5500Å程度、反射防止膜8の厚さは230Å程度である。

【0020】このように第1の配線層形成工程を終了したならば、次に、層間絶縁膜形成工程へ移行する。すなわち、基板全面に亘って例えばSiO<sub>2</sub>よりなる層間絶縁膜10Aを、例えばプラズマTEOS-CVD等により形成する(図2(B))。この厚さは例えば1μm程度である。ここで図中の反射防止膜8は、露光時の反射光を防止して露光操作を精度良く行なうためのものであるが、精度がそれ程厳しくない場合にはこれを省略してもよい。

【0021】このようにして絶縁膜形成工程を終了したならば、次に、開孔工程へ移行する。まず、フォトリソグラフ操作とドライエッチング操作を施すことにより所定の位置に下層の配線層6Aまで届くビアホール12を形成する(図2(C))。このビアホール12の直径は、サブミクロン単位、例えば0.2μm~0.5μm程度あり、アスペクト比は、例えば素子がDRAM等の場合には2~6程度に設定されている。このようにして開孔工程が終了したならば、次に埋め込み工程へ移行する。ここでは、上記ビアホール12内に金属アルミニウムを埋め込んでプラグ22を形成するために、ビアホール12内に体積分率が100%よりも少なく、不足気味となるように金属アルミニウムをCVD法により選択的に堆積させて埋め込む(図2(D))。

【0022】この金属アルミニウムの選択的CVD法においては、例えば高粘度のDMAH(ジメチルアルミニウムハイドライド)液を分解温度以下において加熱することにより粘性を低下させ、これを水素等で気化させることにより生じたガスを処理ガスとして用いて選択的にCVD成膜を行なう。成膜過程においては、周知のようにDMAHガスは熱分解反応を生じて、温度が高い導電性材料の表面にしか堆積しないので、金属配線層6Aが底部に露光したビアホール12内のみに金属アルミニウムが選択的に堆積することになる。この時のプロセス温度は、最大250℃程度である。

【0023】この場合、深さの異なるビアホールが存在する時には、すべてのビアホールにおいて体積分率

が100%よりも少なく、不足気味となるように成膜時間等を設定する。また、アルミニウム合金よりなるプラグ22の中央先端部は、上方に凸状となるが、この凸部の最上端が、ビアホール12の上端開口部の水平レベル以下となるように埋め込み時間を設定する。ここでは、ビアホール12の深さが1μm程度であるのに対して、プラグ22の高さは0.7μm程度であり、また、プラグ22の体積分率の平均値は70%であった。また、この体積分率は、後述するリフローによる埋め込み処理を円滑に行なうには50%以上であることが好ましい。

【0024】このように選択A-CVD法によるプラグ22の形成が終了したならば、次に図3に示すマルチチャンバスパッタ装置24を用いて、後段の自然酸化膜エッチング工程、活性金属膜形成工程、金属層形成工程及びリフロー工程を行なう。すなわちプラグ形成工程後のウエハは、カセット42に収容されて図示しないCVD装置等から未処理のウエハを収容する一方のカセットチャンバ26内に搬送される。このウエハWは、ローダチャンバ28、デガスチャンバ30及びトランスファーチャンバ34を介して第1のスパッタチャンバ36内へ搬入される。第1のスパッタチャンバ36内では自然酸化膜エッチング工程を行い、第2のスパッタチャンバ38内では活性金属膜形成工程を行い、第3のスパッタチャンバ40内では金属層形成工程とリフロー工程の双方を行い、ウエハWをこの順序で移載して行くことになる。そして、処理済みのウエハWは、クーリングチャンバ32及びローダチャンバ28を介して他方のカセットチャンバ26内のカセット42に収容されることになる。

【0025】また、第3のスパッタチャンバ40内では、金属層形成工程とリフロー工程の双方を行なうが、この手順を説明すると、図4に示す装置において、金属層形成工程時にはArガス等を供給しつつ所定の真空雰囲気中でスパッタリングを行い、ウエハ表面上にアルミニウム合金等を堆積させる。この時、加熱ヒータ48によりウエハWを所定の温度に維持してウエハWを処理温度に加熱維持するのであるが、熱伝導ガス孔56からの熱伝導ガスの供給量をコントロールすることによりウエハWとウエハステージ50間の熱伝導度を変化させ、ウエハWの温度を調整する。

【0026】そして、処理温度の低い金属層形成工程時には、ヒータを処理温度よりも高い温度に維持しつつ熱伝導ガスの供給を抑制、或いは停止した状態でを行い、これに続いて行なわれる処理温度の高いリフロー工程時には、熱伝導ガスの供給を開始したり、或いはこのガスの供給量を増加させてウエハステージ-ウエハ間の熱伝導度を上昇させるようにする。これによれば、同一チャンバ内で2つの工程を連続的に行なうことができるのみならず、両工程に亘って処理温度を変更する時に、ヒータ

温度を変更するのではなく熱伝導ガスの供給量を変えることにより、ウエハWの温度を上昇させているのでウエハの迅速な昇温が可能となり、全体に亘って迅速な処理を行なうことができる。

【0027】さて、図2に戻って図2(D)に示すようにプラグ22の形成が完了したならば、ウエハWを図3に示したマルチチャンバ装置24へ搬送する。この装置では、搬送途中にてプラグ表面に付着した自然酸化膜62を除去するために自然酸化膜エッチング工程を行なう。まず、第1のスパッタチャンバ36(図3参照)にてArガスによるスパッタエッチングを行い自然酸化膜62を除去する(図2(E))。この時のスパッタ量が、熱酸化膜換算の厚さで50Å~600Å程度の範囲内となるように高周波電力や処理時間を制御する。尚、この自然酸化膜62の付着状態が極々僅かであるならば、この工程を省略するようにしてもよい。

【0028】この処理が終了したならば、次に活性金属膜形成工程へ移行し、第2のスパッタチャンバ38(図3参照)を用いてウエハ表面全体に活性金属膜64を形成する(図2(F))。ここでは活性金属としては、周期表第4族の金属、例えばTi(チタン)、Zr(ジルコニウム)、Hf(ハフニウム)及びその合金等を用いることができ、ここではTiを用いている。この活性金属膜64を薄く、例えば10Å~400Åの範囲内で形成することにより、濡れ性を改善して後述するリフロー時におけるアルミニウムの流動化を促すことができる。この活性金属膜64の厚さが10Åよりも小さいと、リフロー時にアルミニウム合金が十分に流れ込まず、逆に、400Åを超えて大きくなるとこの部分の電気抵抗値が大きくなって好ましくない。また、この活性金属膜64の形成時のウエハ処理温度は100℃以下とし、成膜時の結晶粒のサイズを小さくしてリフローによる平坦化を行い易くする。もし、この処理温度を、100℃を超えて高く設定すると、次の金属層形成工程において、成膜初期のウエハ温度が高くなり、成膜初期の結晶粒のサイズが大きくなり過ぎてコンホーマルな膜を形成しずらくなり、膜に分断する部分などが生じてリフローを行なっても流動が十分に行なわれず、その結果、ビアホールが十分に埋め込まれなかったり、表面の平坦化が十分でなくなる場合が生ずる。

【0029】この処理が終了したならば、次に、金属層形成工程へ移行し、第3のスパッタチャンバ40(図3参照)を用いて、ウエハ表面全体に亘って例えばアルミニウム或いはアルミニウム合金よりなる金属層66をスパッタにより形成する(図2(G))。ここではアルミニウム合金としてAlCuを用いており、これを例えば5500Å程度の膜厚で形成した。このスパッタ時のウエハ温度は前記した活性金属膜64の形成時と同じ理由で、成膜初期のウエハ温度が100℃以下となるように設定し、また、成膜中にウエハ温度が上昇しても最高2

50℃以下になるように設定して、結晶粒サイズを小さくしてこのリフロー時の流動化が生じ易いようにしている。ウエハ温度を100℃以下に設定する方法としては、図4を参照して説明したように加熱ヒータ48の温度を後述するリフロー時の温度よりも高くした状態でウエハステージーウエハ間に流す熱伝導ガス(Ar)の流量を抑制し、或いは零にして両者間の熱抵抗を大きくすることにより温度コントロールを行なっている。

【0030】また、この状態では前述のようにプラグ22の体積分率が不足気味になるように埋め込みが行なわれているので、ビアホールに対応する部分には凹部68が発生している。この処理が完了したならば、次に、リフロー工程へ移行し、この同一チャンバ40内にてウエハ温度を上げてリフロー処理を行ない、上記した凹部68を埋め込んで表面を平坦化する(図2(H))。この場合、凹部68の容積は非常に僅かであるので、リフロー温度は、例えば350℃~420℃程度の比較的低い温度範囲で行なうことができ、通常の埋め込みリフロー時の温度、例えば450℃よりも低い温度で行なうことができる。従って、層間絶縁膜として耐熱性の低い低誘電率有機材料と組み合わせて用いることができる。また、このような耐熱性の低い層間絶縁膜を用いていない場合には、前述のようにリフロー温度を例えば450℃以上の高い温度に設定してもよい。尚、リフロー温度へウエハを昇温するには、前述のようにウエハステージーウエハ間への熱伝導ガスの供給を開始、或いはこの供給量を増大させて両者間の熱伝導性を高くすれば迅速な昇温が可能である。

【0031】この処理が終了したならば、ウエハWをこのマルチチャンバスパッタ装置から取り出して第2の配線層形成工程へ移行し、金属層66をパターンニングすることにより2層目の配線層6Bを形成する(図2(I))。尚、この配線層6Bは、図示しない2層目の半導体素子に電気的に接続されているのは勿論である。

【0032】以後の工程は、上記絶縁膜形成工程から上記第2の配線層形成工程までの各工程を複数回繰り返して行なうことにより、図1に示すような多層構造の半導体装置を形成することが可能となる。このように本発明においては、ビアホール内を金属アルミニウムを用いて選択的に埋め込み、しかも埋め込み時に体積分率が100%よりも小さくなるように不足気味にプラグを行い、しかも不足分はリフローにより埋め合わせるようにしたので、信頼性が高く、低抵抗で平坦性に優れた多層配線プロセスを少ない工程数で行なうことが可能となる。また、上述のように金属アルミニウムを選択的にCVDにより堆積させて接続孔を埋め込むようにしたので、上下配線層間をA1-A1直接接続構造とすることができ、従来必要とされたバリアメタルを用いる必要がなく、この点からも工程数を削減することができる。

【0033】更には、上述のようにA1-A1直接接続



構造により異種金属の接続がなくなり、しかもA1と比較して電気抵抗が大きなタングステン膜を用いる必要がないので、全体的に電気抵抗を少なくでき、高速動作に適した配線形成方法を提供することが可能となる。また、各配線層の上に反射防止膜を形成することにより、配線層による光の反射を防止でき、後工程の露光処理を精度良く行なうことが可能となる。また、配線層を形成する直前に自然酸化膜エッチング工程を組み込んでプラグを被覆する自然酸化膜を除去することにより、配線層

\* 間の電気抵抗をより小さくでき、更に高速動作に適した配線層構造を提供することができる。ここで自然酸化膜除去のArエッチング処理、活性金属膜(Ti)の厚さ、このTi層及び金属層(A1合金層)の成膜温度、リフロー温度を種々変更させて実際の処理を行なった時の本発明の実施例及び比較例を評価したのでその結果を表1に示す。

【0034】

\* 【表1】

|      | 各条件<br>態様           | 自然酸化膜除去<br>(Al <sub>2</sub> O <sub>3</sub> 処理)<br>(Å) | 活性金属膜<br>(Ti厚)<br>(Å) | 活性金属膜温度<br>(Ti成膜温度)<br>(°C) | 金属層温度<br>(Al成膜温度)<br>(°C) | リフロー温度<br>(°C) | 評価                |               |                 |
|------|---------------------|---|-----------------------|-----------------------------|---------------------------|----------------|-------------------|---------------|-----------------|
|      |                     |   |                       |                             |                           |                | チェーン抵抗<br>(Ω/プラグ) | チェーン歩留<br>(%) | EM寿命<br>(hours) |
| 比較例  | 従来のスパッタ条件           | 300   | ナシ                    | ナシ                          | 150                       | ナシ             | 8.9±10.2          | 43            | 5               |
| 実施例1 | ベストモード              | 300   | 50                    | 30                          | 100                       | 400            | 0.3±0.2           | 100           | 105             |
| 実施例2 | Arプラズマ処理量<br>(アンダー) | 50  | 50                    | 30                          | 100                       | 360            | 12.3±9.2          | 26            | 12              |
| 実施例3 | Arプラズマ処理量<br>(オーバー) | 600   | 100                   | 50                          | 100                       | 400            | 1.3±0.7           | 30            | 28              |
| 実施例4 | Ti厚み<br>(アンダー)      | 200   | 10                    | 50                          | 100                       | 400            | 10.9±12.3         | 16            | 10              |
| 実施例5 | Ti厚み<br>(オーバー)      | 200   | 400                   | 50                          | 100                       | 400            | 3.2±1.4           | 82            | 32              |
| 実施例6 | Ti温度<br>(オーバー)      | 300   | 100                   | 100                         | 100                       | 400            | 8.5±5.2           | 35            | 35              |
| 実施例7 | Al成膜温度<br>(オーバー)    | 300   | 50                    | 30                          | 250                       | 400            | 5.2±2.3           | 52            | 38              |
| 実施例8 | リフロー温度<br>(アンダー)    | 300   | 100                   | 50                          | 100                       | 300            | 7.3±8.2           | 45            | 15              |
| 実施例9 | リフロー温度<br>(オーバー)    | 200   | 100                   | 50                          | 100                       | 500            | 0.3±0.1           | 100           | 113             |

【0035】比較例1は、Ti膜を形成せず、リフロー処理も行っていない場合を示し、態様において、オーバーはベストより数値が上回っている場合を、アンダーはベストより数値が下回っている場合をそれぞれ示す。実施例1は、本発明のベストモードを示す。また、チェーン抵抗及びチェーン歩留まりは、プラグ1個では評価にバラツキが生ずるのでこれを防ぐために前記プラグの4000個のチェーン100本を基準として求めた。また、EM（エレクトロマイグレーション）寿命は、環境温度150℃、電流密度7.5MA/cm<sup>2</sup>のストレスを与えて試験した時の400個チェーン5本の測定により求めた。表1から明かなように、比較例1の従来スパッタ条件で処理を行なった時には、チェーン抵抗もかなり大きく、特に、EM寿命が最も短く、最も特性が劣っている。

【0036】これに対し、実施例1のベストモードの場合には、チェーン抵抗、歩留まり、EM寿命ともに実施例9と共に略最高の値を示しており、特段に優れた特性であった。尚、実施例9はリフロー温度を高く設定しているため、層間絶縁膜として耐熱性の高い材料のものを

用いた場合にはよいが、耐熱性は低いが高速動作のために低誘電率が低いという利点を有する材料、例えば有機系絶縁膜を用いた時にはこれにクラックが発生する場合があったので、ベストモードということとはできない。

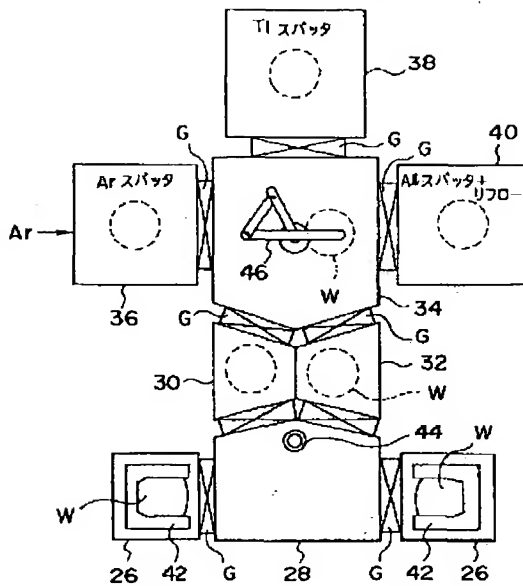
【0037】また、他の実施例2～実施例8の場合には、EM寿命が、比較例1程ではないが低くなったり、或いはチェーン抵抗、歩留まりに関してもやや劣るものであった。更には、Ti膜厚に関しては、実施例4、5に示すように10Å～400Åの範囲内でもよいが、好ましくは実施例1に示す50Åを中心とした20Å～100Åの範囲内がよい。また、リフロー温度に関しては、実施例8、9に示すように300℃～500℃の範囲内でもよいが、十分な流動性が得られ、且つ低誘電率の層間絶縁膜の耐熱性を考慮すると、350℃～420℃の範囲が好ましい。また更に、Ti成膜温度、Al成膜温度は、それぞれ実施例6に示すように100℃以下及び実施例7に示すように250℃以下でもよいが、好ましくはそれぞれ70℃以下及び100℃以下がよい。

【0038】尚、上記実施例では、半導体装置を5層構造としたが、これに限定されず、4層構造以下、或いは



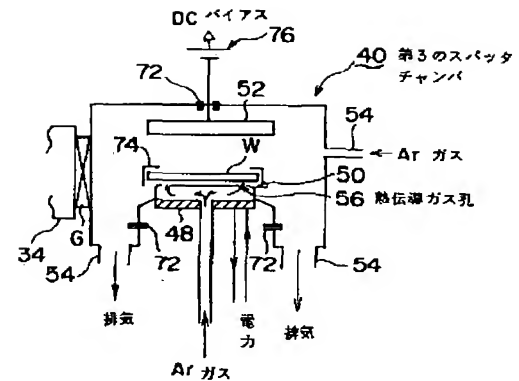
## 20 半導體裝置

【図3】

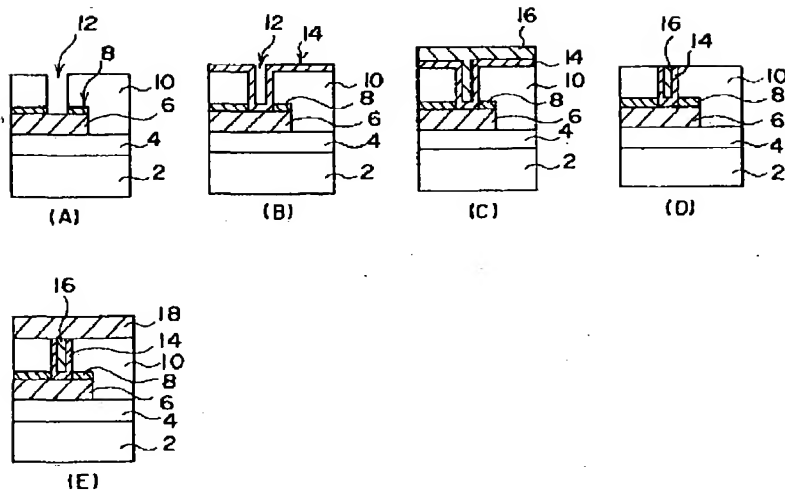


24 マルチチャンバスパッタ装置

【図4】



【図5】



フロントページの続き

(72)発明者 保坂 重敏

山梨県斐崎市藤井町北下条2381番地の1  
東京エレクトロン山梨株式会社内

(72)発明者 和田 優一

山梨県斐崎市藤井町北下条2381番地の1  
東京エレクトロン株式会社山梨事業所内

(72)発明者 小林 浩

山梨県斐崎市藤井町北下条2381番地の1  
東京エレクトロン株式会社山梨事業所内

(72)発明者 矢野 哲也

山梨県斐崎市藤井町北下条2381番地の1  
東京エレクトロンエフイー株式会社山梨事  
業所内